

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-283390

(43)Date of publication of application : 27.10.1995

(51)Int.Cl.

H01L 29/43  
H01L 43/06

(21)Application number : 06-066238

(71)Applicant : ASAHI CHEM IND CO LTD

(22)Date of filing : 04.04.1994

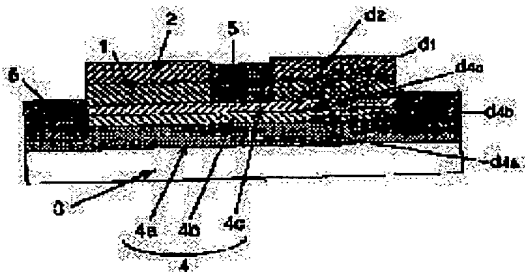
(72)Inventor : MURAMATSU SHOGO  
NAGASE KAZUHIRO

### (54) OHMIC ELECTRODE

**(57)Abstract:**

**PURPOSE:** To form, with good reproducibility, an ohmic electrode which prevents an electrode metal from being diffused excessively to a semiconductor thin film in an annealing treatment, which prevents a boring-up operation or the like and which is reliable by a method wherein an electrode structure is formed in such a way that a specific metal layer is formed on a second compound semiconductor layer and that an Au layer is formed on the layer.

**CONSTITUTION:** In a semiconductor thin film which is formed under an ohmic electrode, a first compound semiconductor layer 4a, an InAs layer 4b and a second compound semiconductor layer 4c are laminated and formed. In addition, the first and second compound semiconductor layers 4a, 4c are composed of a compound semiconductor in which the difference of a lattice constant from the InAs layer 4b is within  $\pm 5\%$  and which contains Sb. Then, a gap metal layer 1 which is composed of Ti, Pt, Mo, Cr, Nb, Pd, Ta, V and W is formed on the second compound semiconductor layer 4c. In addition, an Au layer 2 is formed on it. Since the metal layer 1 is composed of a metal seed whose melting point is higher than the melting point of Au and whose coefficient of linear expansion is close to that of a semiconductor in this manner, it is possible to prevent the semiconductor thin film from being stripped off.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-283390

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/43				
43/06	Z		H 0 1 L 29/ 46	H

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号 特願平6-66238

(22) 出願日 平成6年(1994)4月4日

(71) 出願人 000000033

旭化成工業株式会社

大阪府大阪市北区堂島浜1丁目2番6号

(72) 発明者 村松 正吾

静岡県富士市鮫島2番地の1 旭化成工業株式会社内

(72) 発明者 永瀬 和宏

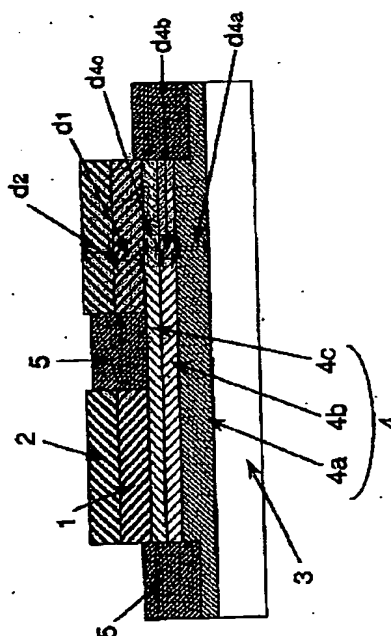
静岡県富士市鮫島2番地の1 旭化成工業株式会社内

(54) 【発明の名称】 オーミック電極

(57) 【要約】

【構成】 基板(3)、該基板(3)上に形成されたInAsとの格子定数の違いが±5%以内でありSbを含む化合物半導体よりなる第一化合物半導体層(4a)、該第一化合物半導体層の上に形成されたInAs層(4b)、及び該InAs層の上に形成されたInAsとの格子定数の違いが±5%以内でありSbを含む化合物半導体よりなる第二化合物半導体層(4c)で構成される半導体薄膜上に設けられる電極であって、前記第二化合物半導体層(4c)上に、Ti, Pt, Mo, Cr, Nb, Pd, Ta, V, Wよりなる間隙金属層(1)、及び該間隙金属層の上にAu層(2)を有することを特徴とするオーミック電極。

【効果】 電極の過剰な拡散、ポーリング・アップや電極のはがれ等が発生しない。



## 【特許請求の範囲】

【請求項 1】 基板 (3)、該基板 (3) 上に形成された InAs との格子定数の違いが  $\pm 5\%$  以内であり Sb を含む化合物半導体よりなる第一化合物半導体層 (4a)、該第一化合物半導体層の上に形成された InAs 層 (4b)、及び該 InAs 層の上に形成された InAs との格子定数の違いが  $\pm 5\%$  以内であり Sb を含む化合物半導体よりなる第二化合物半導体層 (4c) で構成される半導体薄膜上に設けられる電極であって、前記第二化合物半導体層 (4c) 上に、Ti, Pt, Mo, Cr, Nb, Pd, Ta, V, W よりなる間隙金属層 (1)、及び該間隙金属層の上に Au 層 (2) を有することを特徴とするオーミック電極。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、Sb を含む化合物半導体を用いたホール素子や FET 等を形成する際に用いられるオーミック電極に関するものである。

## 【0002】

【従来の技術】 InAs はきわめて高い電子移動度を持つ材料であり、高感度磁気センサー等への応用が期待されているが、InAs に格子整合する半絶縁性基板が存在しないため、高い電子移動度を実際のデバイスに応用することは難しかった。その解決法の一つとして、InAs との格子定数の違いが  $\pm 5\%$  以内の格子定数を持ち、かつ InAs より大きいバンドギャップエネルギーを持つ  $Al_xGa_{1-x}As_ySb_{1-y}$  からなる高抵抗の第一化合物半導体層を基板上に成長させ、該第一化合物半導体層の上に InAs 層を成長させ、さらに、該 InAs 層の上に、InAs との格子定数の違いが  $\pm 5\%$  以内でありかつ InAs より大きいバンドギャップエネルギーを持つ  $Al_xGa_{1-x}As_ySb_{1-y}$  からなる高抵抗の第二化合物半導体層を基板上に成長させると、高い電子移動度を実現できることが確認されている。

【0003】 しかしながら、このような薄膜構造に適した、信頼性のあるオーミック電極を再現性良く得ることが難しいという問題があった。このような構造の薄膜にオーミック電極を形成する方法には、該第二化合物半導体層のみをエッチングすることによって露出させた InAs 層上に、電極金属を蒸着してオーミック接触を取るノンアロイ法と、該第二化合物半導体層上に蒸着した電極金属成分をアニール処理によって該半導体薄膜中に拡散させオーミック接触を取るアロイ法がある。

【0004】 このうちノンアロイ法では、該第二化合物半導体層のみを再現性良くエッチングすることが難しく、該第二化合物半導体層のエッチング残さが生じたり、あるいは該 InAs 層までもエッチングしてしまったり、あるいは該 InAs 層にダメージを与えたりして、該 InAs 層の高い電子移動度を保ったまま再現性良くオーミック電極を形成することは難しかった。一

2

方、アロイ法を用いた場合も、従来から知られている融点が  $356^\circ\text{C}$  である AuGe (Au:Ge=88:12) を用いた AuGe/Ni/Au 等を電極金属として用いると、アニールにより、電極金属成分が半導体薄膜へ過剰に拡散したり、電極金属のボーリング・アップが発生したり、さらには電極金属自体の半導体薄膜からはがれが発生したりして、信頼性のある電極を形成することができなかった。

【0005】 このように、従来の電極材料や方法で該 InAs 層の高い電子移動度を保ったまま信頼性のあるオーミック電極を再現性良く形成することは難しかった。

## 【0006】

【発明が解決しようとする課題】 本発明は、Sb を含む化合物半導体を用いたホール素子や FET 等を形成する際に、条件設定の困難なエッチングを使用せず、また、アニールによる電極金属の半導体薄膜への過剰な拡散、ボーリング・アップ、半導体薄膜からはがれ等が発生させず、該 InAs 層の高い電子移動度を素子特性に十分反映させることのできる信頼性のあるオーミック電極を再現性良く形成することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明者は、上記の問題を解決するため、アロイ法によるオーミック電極の形成に適した電極金属の探索に取り組んだ。その結果、該第二化合物半導体層上に、特定金属層および該層の上に Au 層を形成した電極構造をとることによって、アニール処理を行っても、電極金属の半導体薄膜への過剰な拡散、ボーリング・アップ、半導体薄膜からはがれ等が発生せず、信頼性のあるオーミック電極を再現性良く形成できることを見だし、本発明を完成した。

【0008】 即ち本発明は、基板 (3)、該基板 (3) 上に形成された InAs との格子定数の違いが  $\pm 5\%$  以内であり Sb を含む化合物半導体よりなる第一化合物半導体層 (4a)、該第一化合物半導体層の上に形成された InAs 層 (4b)、及び該 InAs 層の上に形成された InAs との格子定数の違いが  $\pm 5\%$  以内であり Sb を含む化合物半導体よりなる第二化合物半導体層 (4c) で構成される半導体薄膜上に設けられる電極であって、前記第二化合物半導体層 (4c) 上に、Ti, Pt, Mo, Cr, Nb, Pd, Ta, V, W よりなる間隙金属層 (1)、及び該間隙金属層の上に Au 層 (2) を有することを特徴とするオーミック電極である。

【0009】 以下、本発明を更に詳細に説明する。図 1 は、本発明による半導体薄膜上に形成されたオーミック電極の一例を示しており、断面を模式的に示したものである。図 1 に於いて、1 は間隙金属層、2 は Au 層を示している。3 は半導体薄膜を成長させた基板、4 は半導体薄膜、4a は第一化合物半導体層、4b は InAs 層、4c は第二化合物半導体層を示している。5 は半導体の表面を保護するために必要に応じて形成された絶縁

物からなるパッシベーション層を示す。

【0010】本発明でいう半導体薄膜は、第一化合物半導体層、InAs層、第二化合物半導体層が順に積層されることによって形成されている。前記第一化合物半導体層、および第二化合物半導体層は、二層の間に積層されたInAsとの格子定数の違いが±5%以内、好ましくは±2%以内であり、Sbを含む化合物半導体でなくてはならない。好ましい材料としては、GaSb, AlSb,  $Al_{x1}Ga_{1-x1}Sb$ , ( $0 \leq x1 \leq 1$ )、 $GaAs_{y1}Sb_{1-y1}$  ( $0 \leq y1 \leq 0.768$ )、 $AlAs_{y2}Sb_{1-y2}$  ( $0 \leq y2 \leq 0.793$ )、 $Al_{x2}Ga_{1-x2}As_{y3}Sb_{1-y3}$  [ $0 \leq x2 \leq 1$ ,  $0 \leq y3 \leq (0.768 + 0.025 \times x2)$ ] が好ましい材料である。特に好ましい材料は、GaSb, AlSb,  $Al_{x1}Ga_{1-x1}Sb$ , ( $0 \leq x1 \leq 1$ )、 $GaAs_{y1}Sb_{1-y1}$  ( $0 \leq y1 \leq 0.359$ )、 $AlAs_{y2}Sb_{1-y2}$  ( $0 \leq y2 \leq 0.415$ )、 $Al_{x2}Ga_{1-x2}As_{y3}Sb_{1-y3}$  [ $0 \leq x2 \leq 1$ ,  $0 \leq y3 \leq (0.359 + 0.056 \times x2)$ ] である。

【0011】また、第一及び第二化合物半導体層は、これらの化合物半導体の数種類からなる多層を形成してもよい。また、第一及び第二化合物半導体層は、同じ材料であっても、相異なる材料であっても良い。さらに、第二化合物半導体層と間隙金属層との間には、電極を形成するのに支障とならない程度の薄い層があっても良い。

【0012】第一化合物半導体層の厚み $d4a$ 、 $0.1 \mu m \leq d4a \leq 10 \mu m$ であり、好ましくは $0.2 \mu m \leq d4a \leq 5 \mu m$ の範囲である。第二化合物半導体層の厚み $d4c$ は、通常第一化合物半導体層の厚みに準ずる

が、好ましい範囲としては、 $1 \mu m$ 以下、より好ましくは、 $0.5 \mu m$ 以下、さらに好ましくは $5 nm$ 以上 $0.1 \mu m$ 以下である。

【0013】本発明のInAs層の厚み $d4b$ は、 $1.4 \mu m$ 以下であり、好ましくは $0.5 \mu m$ 以下、より好ましくは $5 nm$ 以上 $0.1 \mu m$ 以下である。また、本発明に用いられる基板は、一般に単結晶を成長できるものであれば何でもよいが、GaAs、InPの単結晶の半絶縁基板、Si単結晶基板等は、好ましい例である。

【0014】上記の半導体薄膜を形成する工程は、一般に薄膜の単結晶を成長させることができる工程であれば何でもよく、例として分子線エピタキシー(MBE)法や、MOMBE法、MOVPE法、ALE法等は特に好ましい方法である。本発明においては、上記半導体薄膜にさらに間隙金属層、及びAu層を積層する。

【0015】第一金属層1は、Ti, Pt, Mo, Cr, Nb, Pd, Ta, V, Wのうちのいずれか一種又は二種以上を選択する。表1に、これらの金属の融点および線膨張率を示した。前記の金属種であると、Auの融点( $1063^\circ C$ )より高い融点をもつと同時に、基板を構成する半導体の線膨張率に近い線膨張率を有するので、電極金属と半導体薄膜反応の過剰な反応によるボーリング・アップ、電極金属の半導体薄膜への過剰な拡散がそれぞれ抑制され、アニール後の電極金属の半導体薄膜からはがれも生じない。また、上記の金属種のうち、特に好ましいのは、Ti, Pt, Cr, Pdである。

【0016】

【表1】

金属	融点 (°C)	線膨張率 ( $\times 10^{-6} K^{-1}$ )	備考
Ti	1660	8.6	実施例1,2,5
Pt	1770	9.9	実施例3,5
Mo	2619	5.1	
Cr	1900	8.4	実施例4
Nb	2437	7.1	
Pd	1550	10.6	実施例6
Ta	3006	6.5	
V	1730	8.4	
W	3390	4.5	
AuGe (Au:Ge=88:12)	356		比較例1,2

(主な数値は「化学便覧」より出典)

【0017】

【表2】

半導体	線膨張率 ( $\times 10^{-6} K^{-1}$ )
GaAs	5.7
GaSb	6.3
AlAs	5.2
AlSb	4.9
InAs	5.2

(主な数値は「化学便覧」より出典)

【0018】また、間隙金属層1の材料はこれらの金属を二つ以上成分として用いた合金でもよい。また、これらの金属、合金の数種類からなる多層を形成してもよい。間隙金属層1の膜厚 $d_1$ は、 $1\text{ nm} \leq d_1 \leq 10\text{ }\mu\text{ m}$ であると良く、好ましくは $5\text{ nm} \leq d_1 \leq 5\text{ }\mu\text{ m}$ 、より好ましくは $10\text{ nm} \leq d_1 \leq 1\text{ }\mu\text{ m}$ である。本発明に於けるAu層2の膜厚 $d_2$ は $1\text{ nm} \leq d_2 \leq 10\text{ }\mu\text{ m}$ であり、好ましくは $5\text{ nm} \leq d_2 \leq 5\text{ }\mu\text{ m}$ 、より好ましくは $10\text{ nm} \leq d_2 \leq 1\text{ }\mu\text{ m}$ である。

【0019】上記の半導体薄膜上に、間隙金属層1を形成する工程、Au層2を形成する工程は、一般に薄膜を形成できる工程なら何でもよいが、電子線あるいは抵抗加熱による真空蒸着法、スパッタ法などが好ましい方法として挙げられる。更に、電極を所望の形状に加工するが、その工程は、電極金属を基板全面に蒸着後レジストを塗布し、フォトリソグラフィ法等によりレジストを電極パターンに形成した後、イオンミリング法等によるエッチング等により所望の形状に加工する方法や、リフトオフ法等が用いられる。また、リフトオフ法としては、 $\text{SiN}$ 、 $\text{SiO}_2$ 等のパッシベーション層をプラズマCVD法等により基板全面に形成した後、レジストを塗布

7

レジストを電極パターンに形成して、RIE法等により窓開けを行った後、電極金属を蒸着してリフトオフを行う、スペーサーリフトオフ法も良く用いられる。前記のいずれの方法においても本発明の効果は十分に発揮される。

【0020】更に、電極金属を所望の膜厚に蒸着し所望の形状に加工した後のアニールは、温度は200℃から1000℃までのどの値でもよく、好ましくは300℃から500℃であり、また、アニール時間は5秒から5時間までどの値でもよく、好ましくは10秒から10分

である。また、アニールは、不活性ガス中で行い、窒素、アルゴン、ヘリウム等の雰囲気下でのアニールは好ましい。

【0021】尚、これらの金属の積層は、必ずしも全てが第二化合物半導体層上にある必要はなく、エッチング等により露出した他の層（基板でも良い）と接していても構わない。

【0022】

【実施例】以下に本発明を実施例により述べるが、本発明はこれらの例のみに限定されるものではない。

【0023】

【実施例1】直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層として、ノンドープの $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}_{0.12}\text{Sb}_{0.88}$ を600nm成長させた。次にノンドープのInAsを15nm成長させた。次に第二化合物半導体層として、ノンドープの $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}_{0.12}\text{Sb}_{0.88}$ を35nm成長させた。更にノンドープの $\text{GaAs}_{0.08}\text{Sb}_{0.92}$ を10nm成長させ、半導体用薄膜を得た。この薄膜の電子移動度の値は $20500\text{ cm}^2/\text{Vs}$ 、シート抵抗値は $370\Omega/\square$ 、電子濃度は $5.47 \times 10^{17}\text{ cm}^{-3}$ であった。

【0024】次に、この薄膜を用いてホール素子を作製した。まず、フォトリソグラフィ法を用いて、形成された半導体薄膜上に感磁部となる部分を形成するためのレジストパターンを形成した。引き続いて、イオンミリング法により不要部分をエッチングした後、レジストを除去した。次に、ウエハ全面にプラズマCVD法により、 $0.4\mu\text{m}$ のSiN膜を形成した。該SiN膜上にフォトリソグラフィ法により、電極となる部分が開口部となっているレジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングし、GaAsSb層を露出させた。

【0025】そして真空蒸着法により、Ti層を100nm、続いて、Au層を300nm蒸着し、スペーサーリフトオフ法により、ホール素子の電極パターンを形成した。そして、アニール炉を用いて、窒素雰囲気中で300℃、1分のアニールを行い、電極を形成した。なお、アニール後において、電極金属の半導体薄膜への過剰な拡散、ボーリング・アップ、半導体薄膜からのはがれ等は全く認められなかった。

8

【0026】こうして、2インチのウエハ上に多数のホール素子を製作した。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは $0.36\text{ mm} \times 0.36\text{ mm}$ であった。このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を製作した。

【0027】こうして試作したホール素子の特性は、ホール出力電圧は、定格入力電圧6Vに於いて、500Gの磁束密度を持つ磁界中で283mVであり、入力抵抗は768Ωであった。この値は、薄膜の電子移動度を十分反映した値である。また、ホール素子を121℃、2気圧、湿度100%の中に30時間放置したところ、電極金属の半導体薄膜への過剰な拡散、半導体薄膜からのはがれ等は全く認められず、その前後の特性の変化率はホール出力電圧、入力抵抗値はすべて0.5%以内であった。この様に本発明のオーミック電極の信頼性は極めて高く、さらに、再現性良く良好な素子特性が得られることがわかった。

【0028】

【比較例1】実施例1で作製した薄膜を用いてホール素子の作製を試みた。実施例1と同様の方法で、電極となる部分が開口部となっているレジストパターンを形成した後、電極の形成される部分のGaAsSb層を露出させた。そして真空蒸着法により、AuGe層を250nm、Ni層を100nm、続いて、Au層を300nm蒸着し、スペーサーリフトオフ法により、ホール素子の電極パターンを形成した。そして、アニール炉を用いて、窒素雰囲気中で300℃、1分のアニールを行ったが、基板上的全ての素子において、電極金属の半導体薄膜への過剰な拡散、ボーリング・アップが激しく発生したため、良好な電極を形成できなかった。

【0029】

【実施例2】直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層として、ノンドープの $\text{GaAs}_{0.08}\text{Sb}_{0.92}$ を600nm成長させた。次にノンドープのInAsを15nm成長させた。さらに第二化合物半導体層として、ノンドープの $\text{GaAs}_{0.08}\text{Sb}_{0.92}$ を20nm成長させることにより、半導体用薄膜を得た。このInAs薄膜の電子移動度の値は $20000\text{ cm}^2/\text{Vs}$ 、シート抵抗値は $130\Omega/\square$ 、電子濃度は $1.60 \times 10^{18}\text{ cm}^{-3}$ であった。

【0030】この薄膜を用いてホール素子を作製した。まず、フォトリソグラフィ法を用いて、GaAs基板上に形成された積層薄膜上に感磁部となる部分を形成するためのレジストパターンを形成した。引き続いて、イオンミリング法により不要部分をエッチングした後、レジストを除去した。次に、ウエハ全面にプラズマCVD法により、 $0.4\mu\text{m}$ のSiN膜を形成した。該層上にフォトリソグラフィ法により、電極となる部分が開口

部となっているレジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングし、GaAsSb層を露出させた。

【0031】そして真空蒸着法により、Ti層を100nm、Au層を300nm連続蒸着し、スペーサーリフトオフ法により、ホール素子の電極パターンを得た。そして、アニール炉で、窒素雰囲気中で300℃、1分のアニールを行い、電極を形成した。なお、アニール後において、電極金属の半導体薄膜への過剰な拡散、ボーリング・アップ、半導体薄膜からのはがれ等は全く認められなかった。

【0032】こうして、2インチのウエハ上に多数のホール素子を製作した。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは0.36mm×0.36mmであった。このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を製作した。

【0033】こうして試作したホール素子の特性は、ホール出力電圧は、定格入力電圧6Vに於いて、500Gの磁束密度を持つ磁界中で275mVであり、入力抵抗は308Ωであった。この値は、薄膜の電子移動度を十分反映した値である。また、ホール素子を121℃、2気圧、湿度100%の中に30時間放置したところ、電極金属の半導体薄膜への過剰な拡散、半導体薄膜からのはがれ等は全く認められず、その前後の特性の変化率はホール出力電圧、入力抵抗値はすべて0.5%以内であった。この様に本発明のオーミック電極の信頼性は極めて高く、さらに、再現性良く良好な素子特性が得られることがわかった。

【0034】

【比較例2】実施例2で作製した薄膜を用いてホール素子の作製を試みた。実施例2と同様の方法で、電極となる部分が開口部となっているレジストパターンを形成した後、電極の形成される部分のGaAsSb層を露出させた。そして真空蒸着法により、AuGe層を250nm、Ni層を100nm、続いて、Au層を300nm蒸着し、スペーサーリフトオフ法により、ホール素子の電極パターンを得た。そして、アニール炉で、窒素雰囲気中で300℃、1分のアニールを行ったが、基板上の全ての素子において、電極金属の半導体薄膜への過剰な拡散、ボーリング・アップが発生したため、良好な電極を形成することはできなかった。

【0035】

【実施例3】直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層として、ノンドープのAl<sub>0.5</sub>Ga<sub>0.5</sub>As<sub>0.12</sub>Sb<sub>0.88</sub>を600nm成長させた。次にノンドープのInAsを15nm成長させた。次に第二化合物半導体層としてノンドープのAl<sub>0.5</sub>Ga<sub>0.5</sub>As<sub>0.12</sub>Sb<sub>0.88</sub>を35nm成長させ、続

いてノンドープのGaAs<sub>0.08</sub>Sb<sub>0.92</sub>を10nm成長させることにより、半導体用薄膜を得た。この薄膜の電子移動度の値は20500cm<sup>2</sup>/Vs、シート抵抗値は370Ω/□、電子濃度は5.47×10<sup>17</sup>cm<sup>-3</sup>であった。

【0036】この薄膜を用いてホール素子を作製した。まず、フォトリソグラフィ法を用いて、形成された半導体薄膜上に感磁部となる部分を形成するためのレジストパターンを形成した。引き続き、イオンミリング法により不要部分をエッチングした後、レジストを除去した。次に、ウエハ全面にプラズマCVD法により、0.4μmのSiN膜を形成した。該SiN膜上にフォトリソグラフィ法により、電極となる部分が開口部となっているレジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングし、GaAsSb層を露出させた。

【0037】そして真空蒸着法により、Pt層を100nm、続いて、Au層を300nm蒸着し、スペーサーリフトオフ法により、ホール素子の電極パターンを形成した。そして、アニール炉を用いて、窒素雰囲気中で300℃、1分のアニールを行い、電極を形成した。なお、アニール後において、電極金属の半導体薄膜への過剰な拡散、ボーリング・アップ、半導体薄膜からのはがれ等は全く認められなかった。

【0038】こうして、2インチのウエハ上に多数のホール素子を製作した。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは0.36mm×0.36mmであった。このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を製作した。

【0039】こうして試作したホール素子の特性は、ホール出力電圧は、定格入力電圧6Vに於いて、500Gの磁束密度を持つ磁界中で279mVであり、入力抵抗は776Ωであった。この値は、薄膜の電子移動度を十分反映した値である。また、ホール素子を121℃、2気圧、湿度100%の中に30時間放置したところ、電極金属の半導体薄膜への過剰な拡散、半導体薄膜からのはがれ等は全く認められず、その前後の特性の変化率はホール出力電圧、入力抵抗値はすべて0.5%以内であった。この様に本発明のオーミック電極の信頼性は極めて高く、さらに、再現性良く良好な素子特性が得られることがわかった。

【0040】

【実施例4】直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層として、ノンドープのAl<sub>0.5</sub>Ga<sub>0.5</sub>As<sub>0.12</sub>Sb<sub>0.88</sub>を600nm成長させた。次にノンドープのInAsを15nm成長させた。さらに第二化合物半導体層として、ノンドープのAl<sub>0.5</sub>Ga<sub>0.5</sub>As<sub>0.12</sub>Sb<sub>0.88</sub>を35nm成長させ、続



続いてノンドープのGaAs<sub>0.08</sub>Sb<sub>0.92</sub>を10nm成長させることにより半導体用薄膜を得た。この薄膜の電子移動度の値は20500cm<sup>2</sup>/Vs、シート抵抗値は370Ω/□、電子濃度は5.47×10<sup>17</sup>cm<sup>-3</sup>であった。

【0041】この薄膜を用いてホール素子を作製した。まず、フォトリソグラフィ法を用いて、形成された半導体薄膜上に感磁部となる部分を形成するためのレジストパターンを形成した。引き続いて、イオンミリング法により不要部分をエッチングした後、レジストを除去した。次に、ウエハ全面にプラズマCVD法により、0.4μmのSiN膜を形成した。該SiN膜上にフォトリソグラフィ法により、電極となる部分が開口部となっているレジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングし、GaAsSb層を露出させた。

【0042】そして真空蒸着法により、Cr層を100nm、続いて、Au層を300nm蒸着し、スペーサーリフトオフ法により、ホール素子の電極パターンを形成した。そして、アニール炉を用いて、窒素雰囲気中で300℃、1分のアニールを行い、電極を形成した。なお、アニール後において、電極金属の半導体薄膜への過剰な拡散、ボーリング・アップ、半導体薄膜からのはがれ等は全く認められなかった。

【0043】こうして、2インチのウエハ上に多数のホール素子を作製した。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは0.36mm×0.36mmであった。このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を作製した。

【0044】こうして試作したホール素子の特性は、ホール出力電圧は、定格入力電圧6Vに於いて、500Gの磁束密度を持つ磁界中で260mVであり、入力抵抗は788Ωであった。この値は、薄膜の電子移動度を十分反映した値である。また、ホール素子を121℃、2気圧、湿度100%の中に30時間放置したところ、電極金属の半導体薄膜への過剰な拡散、半導体薄膜からのはがれ等は全く認められず、その前後の特性の変化率はホール出力電圧、入力抵抗値はすべて0.5%以内であった。この様に本発明のオーミック電極の信頼性は極めて高く、さらに、再現性良く良好な素子特性が得られることがわかった。

【0045】

【実施例5】直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層として、ノンドープのAl<sub>0.65</sub>Ga<sub>0.35</sub>As<sub>0.14</sub>Sb<sub>0.86</sub>を600nm成長させた。次にノンドープのInAsを15nm成長させた。さらにノンドープのAl<sub>0.65</sub>Ga<sub>0.35</sub>As<sub>0.14</sub>Sb<sub>0.86</sub>を35nm成長させ、続いてノンドープのGaAs

0.08Sb<sub>0.92</sub>を10nm成長させることにより、半導体用薄膜を得た。この薄膜の電子移動度の値は21500cm<sup>2</sup>/Vs、シート抵抗値は373Ω/□、電子濃度は5.20×10<sup>17</sup>cm<sup>-3</sup>であった。

【0046】この薄膜を用いてホール素子を作製した。まず、フォトリソグラフィ法を用いて、形成された半導体薄膜上に感磁部となる部分を形成するためのレジストパターンを形成した。引き続いて、イオンミリング法により不要部分をエッチングした後、レジストを除去した。次に、ウエハ全面にプラズマCVD法により、0.4μmのSiN膜を形成した。該SiN膜上にフォトリソグラフィ法により、電極となる部分が開口部となっているレジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングし、GaAsSb層を露出させた。

【0047】そして真空蒸着法により、Ti層を100nm、続いて、Pt層を50nm、続いて、Au層を300nm蒸着し、スペーサーリフトオフ法により、ホール素子の電極パターンを形成した。そして、アニール炉を用いて、窒素雰囲気中で300℃、1分のアニールを行い、電極を形成した。なお、アニール後において、電極金属の半導体薄膜への過剰な拡散、ボーリング・アップ、半導体薄膜からのはがれ等は全く認められなかった。

【0048】こうして、2インチのウエハ上に多数のホール素子を作製した。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは0.36mm×0.36mmであった。このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を作製した。

【0049】こうして試作したホール素子の特性は、ホール出力電圧は、定格入力電圧6Vに於いて、500Gの磁束密度を持つ磁界中で287mVであり、入力抵抗は758Ωであった。この値は、薄膜の電子移動度を十分反映した値である。また、ホール素子を121℃、2気圧、湿度100%の中に30時間放置したところ、電極金属の半導体薄膜への過剰な拡散、半導体薄膜からのはがれ等は全く認められず、その前後の特性の変化率はホール出力電圧、入力抵抗値はすべて0.5%以内であった。この様に本発明のオーミック電極の信頼性は極めて高く、さらに、再現性良く良好な素子特性が得られることがわかった。

【0050】

【実施例6】直径2インチのGaAs基板の表面にMBE法により、第一化合物半導体層としてノンドープのAl<sub>0.65</sub>Ga<sub>0.35</sub>As<sub>0.14</sub>Sb<sub>0.86</sub>を600nm成長させた。次にノンドープのInAsを15nm成長させた。さらにノンドープのAl<sub>0.65</sub>Ga<sub>0.35</sub>As<sub>0.14</sub>Sb<sub>0.86</sub>を35nm成長させ、続いてノンドープのGaAs

13

Sb<sub>0.92</sub>を10nm成長させることにより、半導体用薄膜を得た。この薄膜の電子移動度の値は21500 cm<sup>2</sup>/Vs、シート抵抗値は373 Ω/□、電子濃度は5.20×10<sup>17</sup> cm<sup>-3</sup>であった。

【0051】この薄膜を用いてホール素子を作製した。まず、フォトリソグラフィ法を用いて、形成された半導体薄膜上に感磁部となる部分を形成するためのレジストパターンを形成した。引き続いて、イオンミリング法により不要部分をエッチングした後、レジストを除去した。次に、ウエハ全面にプラズマCVD法により、0.4 μmのSiN膜を形成した。該SiN膜上にフォトリソグラフィ法により、電極となる部分が開口部となっているレジストパターンを形成した。次に反応性イオンエッチングを使って、電極の形成される部分のSiNをエッチングし、GaAsSb層を露出させた。

【0052】そして真空蒸着法により、Pd層を100 nm、続いて、Au層を300 nm蒸着し、スペーサリフトオフ法により、ホール素子の電極パターンを形成した。そして、アニール炉を用いて、窒素雰囲気中で300℃、1分のアニールを行い、電極を形成した。なお、アニール後において、電極金属の半導体薄膜への過剰な拡散、ポーリング・アップ、半導体薄膜からのはがれ等は全く認められなかった。

【0053】こうして、2インチのウエハ上に多数のホール素子を作製した。次に、ダイシングソーにより個々のホール素子に切断した。この製作したホール素子のチップサイズは0.36mm×0.36mmであった。このホール素子チップを、ダイボンドし、ワイヤーボンドし、ついで、トランスファーモールドを行い、エポキシ樹脂によるモールドされたホール素子を作製した。

【0054】こうして試作したホール素子の特性は、ホール出力電圧は、定格入力電圧6Vに於いて、500Gの磁束密度を持つ磁界中で255mVであり、入力抵抗は793 Ωであった。この値は、薄膜の電子移動度を十分反映した値である。また、ホール素子を121℃、2

14

気圧、湿度100%の中に30時間放置したところ、電極金属の半導体薄膜への過剰な拡散、半導体薄膜からのはがれ等は全く認められず、その前後の特性の変化率はホール出力電圧、入力抵抗値はすべて0.5%以内であった。この様に本発明のオーミック電極の信頼性は極めて高く、さらに、再現性良く良好な素子特性が得られることがわかった。

【0055】

【発明の効果】以上述べたごとく、本発明のオーミック電極は、Sbを含む化合物半導体を用いたホール素子やFET等を形成する際に従来見られていた、電極の過剰な拡散、ポーリング・アップや電極のはがれ等は発生せず、信頼性、再現性とも極めて高い。即ち、本発明のオーミック電極は、Sbを含む化合物半導体をホール素子やFET等様々な素子へ応用するために、実用性の大きな電極であり、産業上の有効性は計り知れない。

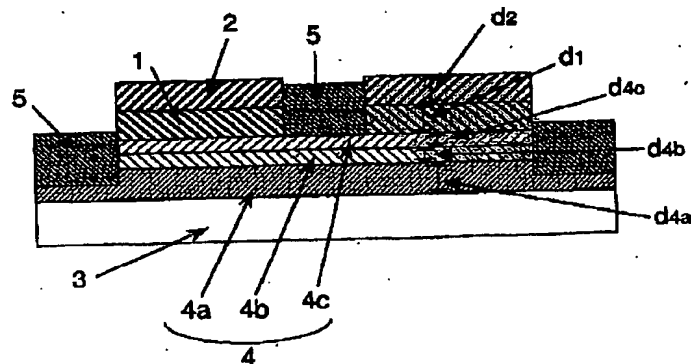
【図面の簡単な説明】

【図1】本発明のオーミック電極の基本となる実施例として、半導体薄膜上に電極金属を蒸着した断面図である。

【符号の説明】

- 1 間隙金属層
- 2 Au層
- 3 半導体薄膜を成長させた基板
- 4 半導体薄膜
- 4a 第一化合物半導体層
- 4b InAs層
- 4c 第二化合物半導体層
- 5 絶縁物からなるパッシベーション層
- d1 間隙金属層の厚み
- d2 Au層の厚み
- d4a 第一化合物半導体層の厚み
- d4b InAs層の厚み
- d4c 第二化合物半導体層の厚み

【図1】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**